

一种高性能快速关断型槽栅 MOS 器件

樊冬冬, 汪志刚

(西南交通大学 信息科学与技术学院, 四川 成都 610031)

摘 要: 提出了一种高性能快速关断型槽栅 MOS 器件. 与常规型器件相比, 这种新型器件在氧化槽内引入了两个垂直场板, 这不仅使得器件在漂移区内引入了两个新的电场峰值, 增大了器件的击穿电压 BV, 而且使得器件垂直漏场板周围形成了一层浓度更大的积累层, 降低了导通电阻. 故提高了器件的巴利加优值 FOM. 由于这种新型器件纵向栅、漏场板之间存在的垂直场板使得影响器件开关速度的栅漏电容值部分转化为器件的栅源电容以及漏源电容. 结果分析表明: 氧化槽宽度为 $1.7\ \mu\text{m}$ 、漂移区浓度为 $2.3 \times 10^{15}\ \text{cm}^{-3}$ 时这个新型器件巴利加优值 FOM 提升了 84.8%, 栅漏电荷 Q_{GD} 提升了 26.8%.

关键词: 金属场板; 巴利加优值; 栅漏电容; 氧化槽

中图分类号: TN386

文献标识码: A

文章编号: 1000-7180(2017)01-0040-04

A Trench Metal-Oxide-Semiconductor with High-speed Shutoff for High Performance

FAN Dong-dong, WANG Zhi-gang

(Southwest Jiaotong University, The School of Information Science And Technology, Chengdu 610031, China)

Abstract: A Trench Metal-Oxide-Semiconductor (T-MOS) with high-speed shutoff for high performance is proposed. Compared with conventional device, two vertical field planes are inserted into oxide trench in this new device, which introduce two new electric field peaks in the drift region to increase breakdown voltage and form a high electron-accumulated layer around the vertical drain field plane to decrease the specific on-resistance. Therefore, Baliga's figure of merit (FOM) of this new device is improved. Furthermore, due to the vertical field plane between the gate and drain field plane in this new device, it can lead to the gate-to-drain capacitance partly transferred to gate-to-source capacitance and drain-to-source capacitance. The results show that the proposed device with $t_w = 1.7\ \mu\text{m}$ and $N_d = 2.3 \times 10^{15}\ \text{cm}^{-3}$ can achieve the Baliga's figure of merit of 84.8% improvement and drain-to-source charge of 26.8% improvement.

Key words: metal field plane; baliga's figure of merit; gate-to-drain capacitance; oxide trench

1 引言

绝缘体上硅槽型金属氧化物半导体(SOI T-MOS)由于它本身具有低功率损耗、隔离性能好、高可靠性等优点而广泛应用于高速集成电路中^[1-2]. 常规型 SOI T-MOS 器件有两个至关重要的参数分别是导通电阻 R_{on} 和击穿电压 BV. 而击穿电压 BV 与导通电阻 R_{on} 之间有一个正常的矛盾关系 $BV^2 \propto R_{\text{on}}$

称之为巴利加优值[FOM Fingure Of Merit = BV^2 / R_{on}]^[3], 为了优化导通电阻与击穿电压两者之间的关系, 提高器件巴利加优值 FOM, 国内外学者提出了一系列新结构, 如: (1) 在 MOS 器件中引入氧化槽^[4-5]. (2) 在 MOS 器件氧化槽两边引入超结(super-junction)结构^[6]. (3) 在 MOS 器件氧化槽内引入纵向金属场板^[7].

以上新结构都很好的在纵向方向折叠了漂移

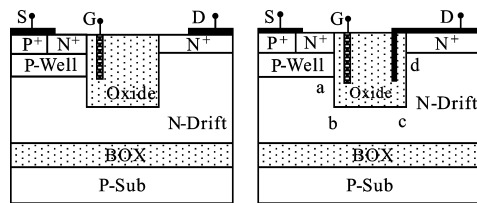
区,提高了器件耐压从而提高了巴利加优值.但槽型功率器件与生俱来的高栅漏电容 C_{GD} 值,带来的较高栅漏电荷 Q_{GD} 将会严重影响器件的开关速度.而如何在获得一个较高的巴利加优值 FOM 同时,降低影响器件开关速度的栅漏电荷 Q_{GD} 将是一个比较艰巨的问题.

本文围绕提高器件巴利加优值 FOM 以及降低影响器件开关速度的栅漏电荷 Q_{GD} ,提出了一种新型 DP-TMOS (Double-Plane Trench Metal Oxide Semiconductor) 器件.这种 DP-TMOS 器件一方面采用了纵向场板结构使器件漂移区内引入了新的电场峰值,从而使整个器件的电势线分布更均匀,器件耐压值更高.另一方面由于纵向漏极场板在高偏压下能够在氧化槽周围形成一层浓度更大的积累层,从而降低了器件的导通电阻.更进一步的,由于 DP-TMOS 器件垂直场板 VFP (Vertical Field Plane) 处于纵向栅、漏场板之间,这样能够减小栅极与漏极区域的接触面积,从而减小影响器件开关速度的栅漏电荷 Q_{GD} .

2 器件结构与原理分析

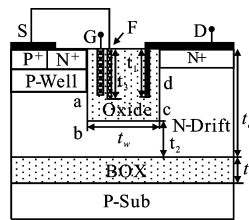
图 1 给出了 C-TMOS (Conventional-Trench Metal Oxide semiconductor)、SP-TMOS (Single - Plane Trench Metal Oxide semiconductor)、以及新提出的 DP-TMOS 三种器件的结构示意图.其中 SP-TMOS 较 C-TMOS 多了一条纵向漏极场板,而 DP-TMOS 较 SP-TMOS 器件,在纵向栅、漏场板之间多了一条垂直场板 (VFP). DP-TMOS 器件的耐压原理主要是:(1)纵向栅、漏场板使得器件漂移区内引入两个新的电场峰值,起到了电场调制的作用,增加了器件击穿电压值;(2)由于纵向栅极场板类似于一个场板结终端,这样就可以缓解器件 P-well 区与漂移区的尖峰电场,避免器件提早击穿,从而提高器件的耐压值;(3)纵向漏极场板在高偏压值下,会在氧化槽下面形成一层浓度更大的积累层,这使得带场板结构的 DP-TMOS 器件与 SP-TMOS 器件比无场板结构的 C-TMOS 器件能形成一条电阻更低的低阻通道.以上原因使得器件在不牺牲击穿电压的同时获得较低的导通电阻,即 DP-TMOS 器件与 SP-TMOS 器件可以在比较大的漂移区浓度下实现更大的击穿电压 BV 和更低的导通电阻 R_{on} ,从而获得更大的巴利加优值 FOM.

$$BV = BV_i + BV_s = E_i t_i + \frac{1}{2} E_s t_d \quad (1)$$



(a) C-TMOS

(b) SP-TMOS



(c) DP-TMOS

图 1 结构示意图

SOI 型 LDMOS 器件耐压 BV 主要取决于纵向耐压.即由式(1)可知纵向耐压可以分为 BOX 层耐压 BV_i 和硅层耐压 BV_s .

式中, E_i 为 BOX 层电场, E_s 为硅层电场, t_i 和 t_d 分别为 BOX 层厚度和硅层厚度.由高斯公式能得出 BOX 层与硅层两者电场的关系:

$$E_i = \frac{\epsilon_s \cdot E_s}{\epsilon_i} \quad (2)$$

式中, ϵ_s 和 ϵ_i 分别为硅层和 BOX 层的介电常数.

当考虑器件动态性能的时候,即器件在开启和关断两者切换的时候,会有一个栅漏电荷 Q_{GD} 移动的过程,即对器件的栅漏电容 C_{GD} 进行充电放电作用.而新提出的 DP-TMOS 相比于 SP-TMOS 多了一条位于纵向栅、漏之间的垂直场板,从而降低了栅、漏场板之间的接触面积,其原理也就是把器件开启和关断充放电的栅漏电容 C_{GD} 值部分转移到了器件的栅源电容 C_{GS} 和漏源电容 C_{DS} ,从而减小了影响器件开关速度的栅漏电容值,根据式(3)知,即减小了器件充电放电所需要的栅漏电荷 Q_{GD} 的值,进而实现器件快速关断的目的.

$$Q_{GD} = \int_{V_{th}}^{V_{DS}} C_{GD}(V_{DS}) dV_{DS} \quad (3)$$

式中, V_{th} 是器件的阈值电压, V_{DS} 是器件的漏源电压.当器件栅极电压 $V_G < 0$ V 时, P-Well 表面空穴浓度增大;当 $0 < V_G < V_{th}$ 时, P-Well 表面正空穴电荷被排斥远离栅极场板,形成耗尽状态;随着栅极正偏压增大, $V_G > V_{th}$ 时, P-Well 表面呈现出 N 型半导体的特性,即在 P-Well 表面形成一层反型电子层,此时器件开始导通.

图 2 是 DP-TMOS 开关器件栅漏电荷 Q_{GD} 测试

电路. 首先考虑器件开启阶段: 当器件栅极有正值栅源电压 V_{GS} 开始给器件栅源电容 C_{GS} 充电时, 此时 $V_{GS} < V_{th}$, 即还未充满栅源电容, 器件不导通, 漏极电流 I_d 为 0. 随时间增长器件栅源电压 $V_{GS} > V_{th}$ 之后, 漏极电流 I_d 开始上升, 此时漏极电流 I_d 开始对栅漏电容 C_{GD} 充电, 器件栅源电压 V_{GS} 开始下降, 栅源电压 V_{GS} 增长速度减缓. 这就形成了一种负反馈作用, 即栅漏电容的密勒效应. 而在器件关断状态: 栅源电压 V_{GS} 随着时间增长而降低, 当 $V_{GS} < V_{th}$ 时, 漏极电流 I_d 开始下降, 漏源电压 V_{DS} 开始上升, 故栅漏电容 C_{GD} 开始下降并对外放电, 此时栅源电压 V_{GS} 的下降速度减缓. 从器件开启和关断分析可以看出对器件的栅漏电容 C_{GD} 充放电的时间决定器件的开启和关断时间.

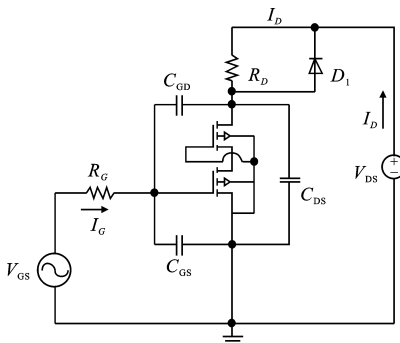


图 2 DP-TMOS 开关器件电荷测试电路

3 仿真结果与分析

借助 Medici 软件对器件进行建模分析. 器件总长度为 $3.7 \mu\text{m}$, 器件纵向栅极板和漏极场板长度 t_1 为 $2.7 \mu\text{m}$, 垂直场板(VFP)长度 t_3 为 $2.8 \mu\text{m}$, 氧化槽宽度 t_w 为 $1.7 \mu\text{m}$, 埋氧层厚度 t_i 为 $0.5 \mu\text{m}$, 器件漂移区浓度为 $2.3 \times 10^{15} \text{cm}^{-3}$, 衬底浓度为 $4 \times 10^{15} \text{cm}^{-3}$, P-Well 浓度为 $3.8 \times 10^{16} \text{cm}^{-3}$.

图 3 给出了沿着 SP-TMOS、DP-TMOS 这两种器件氧化槽 $a \rightarrow b \rightarrow c \rightarrow d$ 方向的电场分布仿真示意图. 从图中可以看出: (1) 这两种器件分别在器件漂移区内的 b、c 两点引入了两个新电场峰值. 这样可以防止器件在表面过早的击穿. (2) SP-TMOS 和 DP-TMOS 在器件 c、d 两点的电场数值相同, 分别为 $1 \times 10^{15} \text{V/cm}$ 和 $3.9 \times 10^{15} \text{V/cm}$. (3) 在 a、b 两点 DP-TMOS 器件电场峰值较 SP-TMOS 器件电场峰值分别降低了 $0.5 \times 10^{15} \text{V/cm}$ 和 $0.6 \times 10^{15} \text{V/cm}$.

图 4 给出了在器件阻断状态下, 漏电压 $V_D = 100 \text{V}$ 时, SP-TMOS、DP-TMOS 这两种器件的等

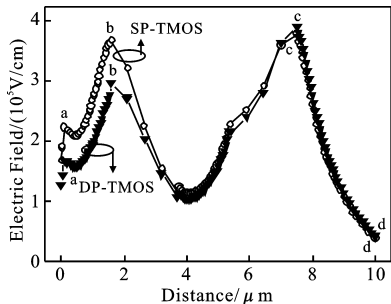


图 3 沿着氧化槽表面 $a \rightarrow b \rightarrow c \rightarrow d$ 方向的电场线示意图

势线轮廓图, 从等势线的轮廓图中不难看出这两种器件的等势线分布大体一致, 在器件体内分布都比较均匀. 并且 SP-TMOS、DP-TMOS 这两种器件一方面由于氧化槽的存在, 可以纵向折叠器件的漂移区长度, 从而使器件能够维持一个比较高的耐压值; 另一方面由于 SP-TMOS、DP-TMOS 这两种器件纵向栅、漏场板的存在, 使得器件体内引入了 b、c 两点电场峰值, 调制了漂移区电场, 从而大大增加了器件的耐压值. 优化之后的 SP-TMOS 器件击穿电压值为 212V , DP-TMOS 器件击穿电压值为 208.8V .

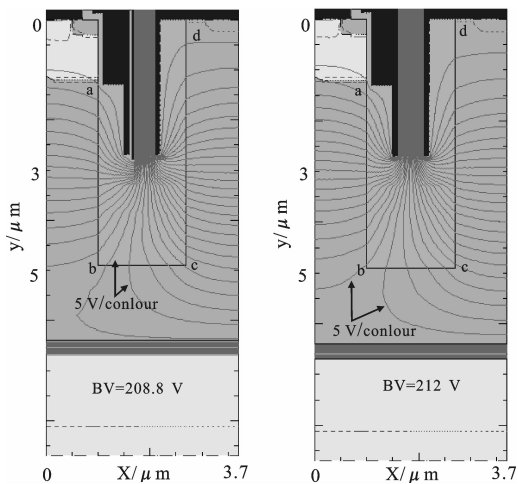


图 4 器件等势图

图 5 给出的是 P-Well 浓度与 SP-TMOS、DP-TMOS 这两种器件栅漏电荷 Q_{GD} 、巴利加优值 FOM 之间的关系, 从图中不难看出: (1) 随着 P-Well 浓度上升到 $3.8 \times 10^{16} \text{cm}^{-3}$ 时, DP-TMOS 器件的巴利加优值 FOM 达到最大值 1.971MW/cm^2 , 当 P-Well 浓度超过 $3.8 \times 10^{16} \text{cm}^{-3}$ 时, 巴利加优值 FOM 呈递减趋势; 对于 SP-TMOS 器件, 巴利加优值 FOM 随着 P-Well 浓度的变化趋势与 DP-TMOS 器件一致. (2) 随着 P-Well 掺杂浓度从 $3 \times 10^{16} \text{cm}^{-3}$ 增大到 $9 \times 10^{16} \text{cm}^{-3}$ 时, DP-TMOS 器件

栅漏电荷 Q_{GD} 从 249 nC/cm^2 上升到 589 nC/cm^2 , 而 SP-TMOS 器件栅漏电荷 Q_{GD} 从 389 nC/cm^2 上升到 $1\,060\text{ nC/cm}^2$. 造成以上主要原因是随着 P-Well 浓度上升, 器件阈值电压增加, 所以吸引电荷能力就增加了.

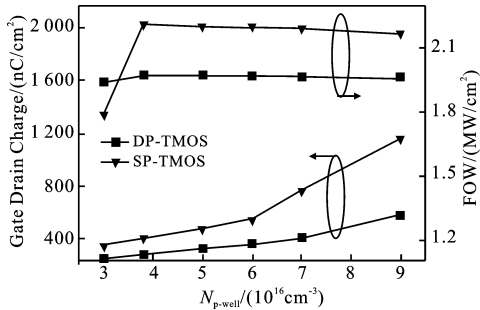


图 5 P-Well 浓度对栅漏电荷 Q_{GD} 、巴利加优值 FOM 的影响

从图 6 中不难看出, (1) 随着栅、漏场板纵向深度 t_1 从 $2.1\text{ }\mu\text{m}$ 增加到 $2.3\text{ }\mu\text{m}$ 时, DP-TMOS 器件的巴利加优值 FOM 由 1.65 MW/cm^2 上升到 2.02 MW/cm^2 ; 当 t_1 大于 $2.3\text{ }\mu\text{m}$ 时, 巴利加优值 FOM 开始缓慢下降. (2) SP-TMOS 器件在 t_1 为 $2.7\text{ }\mu\text{m}$ 时, 其巴利加优值 FOM 达到其最大值 2.21 MW/cm^2 . (3) 随着 t_1 从 $2.1\text{ }\mu\text{m}$ 增加到 $2.7\text{ }\mu\text{m}$ 时, DP-TMOS 器件的栅漏电荷由 230 nC/cm^2 增加到 265 nC/cm^2 . (4) SP-TMOS 器件随 t_1 从 $2.5\text{ }\mu\text{m}$ 增加到 $3.1\text{ }\mu\text{m}$ 时, 其栅漏电荷由 460 nC/cm^2 增加到 512 nC/cm^2 . 造成以上四点的主要原因是: 当 t_1 小于器件最优 t_1 值时, 漂移区不能全部耗尽; 当 t_1 超过最优值时, 由于纵向栅、漏场板的电场调制效应使得器件体内引入了更大的电场峰值, 使得器件过早击穿. 所以 t_1 大于或者小于最优值时, 器件的巴利加优值 FOM 都将降低.

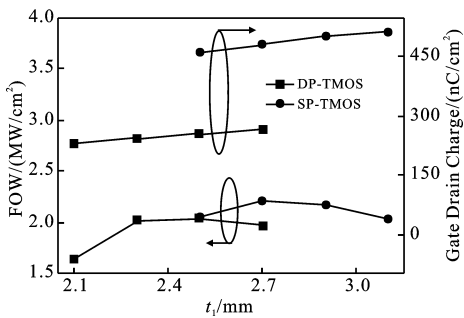


图 6 t_1 对栅漏电荷 Q_{GD} 、巴利加优值 FOM 影响

图 7 给出的是保护栅场板长度 t_3 与 DP-TMOS 器件栅漏电荷 Q_{GD} 和巴利加优值 FOM 之间的关系.

从图中可以看出: 当 t_1 为 $2.7\text{ }\mu\text{m}$ 时: 随着 t_3 由 $2.5\text{ }\mu\text{m}$ 增大到 $2.9\text{ }\mu\text{m}$ 时, DP-TMOS 器件的巴利加优值 FOM 由 1.967 MW/cm^2 增加到 2.19 MW/cm^2 . 但与此同时影响器件开关速度的栅漏电荷也从 225 nC/cm^2 迅速增大到 412 nC/cm^2 . 造成以上的主要原因是, 当保护栅场板长度 $t_3 < t_1$ 时, 这就使得栅极与漏极区域接触面积增大, 从而增大 DP-TMOS 器件的栅漏电容 C_{GD} , 根据式 (2) 可知, 即增大了 DP-TMOS 器件的栅漏电荷 Q_{GD} .

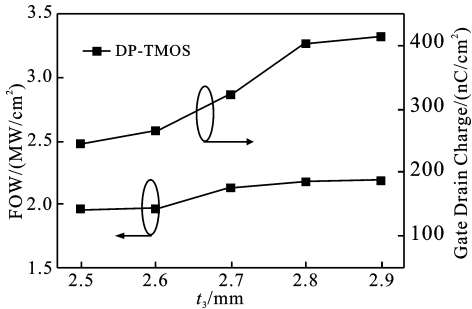


图 7 DP-TMOS 器件 t_3 对栅漏电荷 Q_{GD} 、巴利加优值 FOM 的影响

从表 1 中不难看出: (1) 较 SP-TMOS 器件的 2.2 MW/cm^2 以及 DP-TMOS 器件的 2.04 MW/cm^2 , C-TMOS 器件的巴利加优值 FOM 分别降低了 1.89 MW/cm^2 和 1.73 MW/cm^2 . (2) 与 DP-TMOS 器件相比, C-TMOS、SP-TMOS 这两种器件的栅漏电荷 Q_{GD} 分别增加了 97 nC/cm^2 和 145 nC/cm^2 . (3) 相比 SP-TMOS 器件, DP-TMOS 器件的巴利加优值 FOM 下降了 7.2% , 而影响器件开关速度的栅漏电荷性能提升了 35.4% .

表 1 C-TMOS、SP-TMOS、DP-TMOS 三种器件参数比较

	特征导通电阻 R_{on} /($\text{m}\Omega \cdot \text{cm}^2$)	击穿电 压 BV V	巴利加优值 FOM /(MW/cm^2)	栅漏电荷 Q_{GD} /(nC/cm^2)
C-TMOS	31.9	98.4	0.31	362
SP-TMOS	20.4	212.5	2.2	410
DP-TMOS	21.4	208.8	2.04	265

4 结束语

提出了一种高性能快速关断型槽栅 MOS 器件, 通过研究结果表明这种快速关断型 DP-TMOS 器件的巴利加优值 FOM 较 C-TMOS 器件、SP-TMOS 器件分别提升了 84.8% 和 -7.2% ; 而影响器件开关速度的栅漏电荷 Q_{GD} 分别提升了 26.8% 和 35.4% .

(下转第 47 页)

如图看出 th1 和 th2 的吞吐量最佳值在 th1:12%,th2:60%。这个最优值会根据网络拓扑及每个用户的状态改变而改变,对于系统中负载均衡的切换次数,当 th1 取值较小时,系统的切换次数更高一些,最高切换次数可达 19 次。

5 结束语

WLAN 与 eHRPD 重叠的蜂窝小区内,根据资源利用率进行负载均衡时,使得稳态下网络吞吐量及下行数据速率都到了显著提高。另外,算法在有限的范围内选取最优的切换阈值—负载差阈值 th1 与高负载阈值 th2,在有限的范围内选取最优的 th1、th2。所找到的 th1 和 th2 的取值使得负载均衡后网络吞吐率提高 11.43%。

参考文献:

- [1] Yu F, Krishnamurthy V. Optimal joint session admission control in integrated WLAN and CDMA cellular network [J]. IEEE Trans Mobile Comput, 2007, 6 (1): 126-139.

(上接第 43 页)

参考文献:

- [1] Qiao M, Zhang B, Xiao Z, et al. High-voltage technology based on thin layer SOI for driving plasma display panels [C] // Power Semiconductor Devices and ICs, 2008. ISPSD'08. 20th International Symposium on. Japan, Osaka, IEEE, 2008; 52-55.
- [2] Udrea F. SOI-based devices and technologies for high voltage ICs [C] // Bipolar/BiCMOS Circuits and Technology Meeting, BCTM'07. USA, Boston, IEEE, 2007; 74-81.
- [3] Wang Z, Zhang B, Fu Q, et al. An L-shaped trench SOI-LDMOS with vertical and lateral dielectric field enhancement [J]. Electron Device Letters, IEEE, 2012, 33(5): 703-705.
- [4] Son W S, Sohn Y H, Choi S. Resurf Ldmosfet with a trench for SOI power integrated circuits [J]. Microelectronics journal, 2004, 35(5): 393-400.

- [2] Nlyato D, Hossain E. A cooperative game framework for bandwidth allocation in 4G heterogeneous wireless networks [C] // IEEE international Conference on Communications (ICC). Istanbul, Turkey, 2006; 4357-4362.
- [3] 王煜炜,刘敏,房秉毅. 异构无线网络垂直切换技术综述[J]. 通信学报,2015,36(Z1):1-11.
- [4] 3GPP TS 36. 331 V13. 1. 0. Technical specification group radio access network; evolved universal terrestrial radio access (E-UTRA); radio resource control (RRC); protocol specification [S]. Sophia Antipdis Valbonne:3GPP Organizational Partners, 2015.

作者简介:

李永刚 男,(1976-),博士,副教授,硕士生导师.研究方向为新一代移动通信网. E-mail:lyg@cqupt.edu.cn.

张治中 男,(1972-),博士,教授,博士生导师.研究方向为通信网测试、5G 移动通信系统.

李龙江 男,(1976-),博士,副教授.研究方向为无线移动通信网.

- [5] Jiang Q, Wang M, Chen X. A high-speed deep-trench MOSFET with a self-biased split gate [J]. Electron Devices, IEEE Transactions on, 2010, 57 (8): 1972-1977.
- [6] Huang H, Chen X. Optimization of specific on-resistance of semisuperjunction trench MOSFETs with charge balance [J]. Electron Devices, IEEE Transactions on, 2013, 60(3): 1195-1201.
- [7] Xia C, Cheng X, Wang Z, et al. Improvement of SOI trench LDMOS performance with double vertical metal field plate [J]. Electron Devices, IEEE Transactions on, 2014, 61(10): 3477-3482.

作者简介:

樊冬冬 男,(1991-),硕士研究生.研究方向为高压功率 MOSFET. E-mail:359706521@qq.com.

汪志刚 男,(1983-),博士.研究方向为功率 IC 与智能集成.